

## تمرین شماره ۱ طراحی سیستمهای دیجیتال (Verilog)

الف- مدار جمع کننده ۴ بیتی Carry Lookahead Adder (CLA) طراحی کنید.

ب- مدار ضرب کننده ترکیبی (combinational) با دو ورودی ۴ بیتی و خروجی ۸ بیتی طراحی کنید.

ج- با استفاده از مدارات بالا ALU با دو ورودی ۸ بیتی a, b و ورودی select ۳ بیتی و خروجی ۸ بیتی s و خروجیهای Carry و Overflow و توابع زیر طراحی کنید.

Select	تابع خروجی s
0	$a + b$
1	$a - b$
2	$a + 2*b$
3	$a - 2*b$
4	$a * b$
5	$a * 1.5$
6	$a   b$
7	$a \& b$

د- برای مدار خود testbench بنویسید. (برای هر قسمت testbench جداگانه لازم است)